

利用 IMS A100 信号处理器完成 数据传输的方法

乔燕燕

(中国科学院长春光学精密机械研究所, 长春 130022)

摘要 论述了 IMS A100 与数字信号处理器(DSP)的数据传输方法,其目的是利用 IMS A100 的高速、高精度在 DSP 系统中作为一个独立功能块完成其数据处理的功能。

关键词: 信号处理; 数据传输; 数字滤波

1 引言

在许多高性能高速的微机应用系统中,常常引入具有一定独立处理功能的功能块,其目的是为了强化数字处理机的处理能力,满足快速处理,提高处理精度及特殊应用的需要。IMS A100 就是这种功能块之一,特别适合在 DSP 构成的系统中,独立进行一些高速 DFT、卷积和相关及数字滤波等工作。它的特点是占用 DSP 的地址少,通信效率高,易构造一主多从结构,独立运算能力强。

IMS A100 与 DSP 的接口界面为一种标准的存储器接口的受控方式。视其需要不同可使 DSP 系统通过 databus(数据总线) address bus(地址总线) control bus(控制总线)与其配合组成功能很强的多重计算应用系统。例如:自适应滤波、矩阵相乘、离散傅立叶变换、相关和卷积。IMS A100 可以在 DSP 进行数据处理的同时独立进行数据采集和运算,并将处理结果依靠其生成的结果锁存信号,锁存到 DSP 系统的缓冲寄存器,或者直接参与外界参数调整而不干扰 DSP 工作。

这种功能块芯片的体系构成有多种形式,主要设计的关键是 DSP 主数据处理系统与该芯片之间的数据交换——DSP 与 IMS A100 的数据传输问题。本文着重讨论 IMS A100 的功能特性及数据传输的方法。

2 IMS A100 的功能描述

IMS A100 是一个 32 级可级连型的数字式横向滤波器。如图 1 所示的结构中, 输入信号同时送到所有 32 级的 Input(输入)端即乘法器的一个端, 乘法器的另一端由系数寄存器提供并以分离的方式完成延时和累加。在每一级中经一个时钟周期延时后的输出值相加, 在 $t = (j)$ 时横向滤波器的输出为:

$$y(j) = C_{0x}(j) + C_{1x}(j-1) + C_{2x}(j-2) + \dots + C_{31x}(j-31)$$

其中 $x(j)$ 表示第 j 个输入样点的数据, C_0 到 C_{31} 是 32 级横向滤波器的系数。

IMS A100 有四个接口, 由这四个接口与 DSP 系统及外围进行数据交换。其中存储器接口允许访问系数寄存器、修改系数寄存器、控制状态寄存器及数据的输入输出寄存器。而其它三个接口用于横向滤波器的直接输入输出及其 IMS A 100 芯片的互连工作方式。

3 IMS A100 的数据传输

其引脚图如图 2 所示, IMS A100 芯片结构如图 3 所示。

IMS A100 有两种数据传输方法, 一种为存储器接口的传输。主要通过存储器形成的连接方式, 经片选 \overline{CS} , 允许存储器操作 \overline{CE} , 读写允许信号 \overline{W} 、7 位地址信号 $ADR(0 \sim 6)$ 及数据的输入输出信号 Mem data(0~15) 完成 IMS A 100 与 DSP 进行紧耦合式的存储器数据交换。所交换的数据可以存入或读取 16 bit 128 个单元的静态 RAM 如图 4 所示。在 128 个 RAM 地址中, 可以通过地址寻址方式寻到 32-63 单元的 CCR(当前系数寄存器) 其单元所对应的数学模型的关系为第 32 单元等价于图 1 中的 $C(0)$, 第 33 单元等价于图 1 中的 $C(1)$...

第 63 单元等价于图 1 中的 $C(31)$ 。CCR 的内容可以由 DSP 系统在任何时刻读取, 但要写入系数时要等待数据运算停止时才能进行。0~32 单元为 UCR(修改系数寄存器), 它允许在任何时刻写入, 同时允许与 CCR 的内容进行整组的交换。通过对 SCR(静态控制寄存器) 的连续切

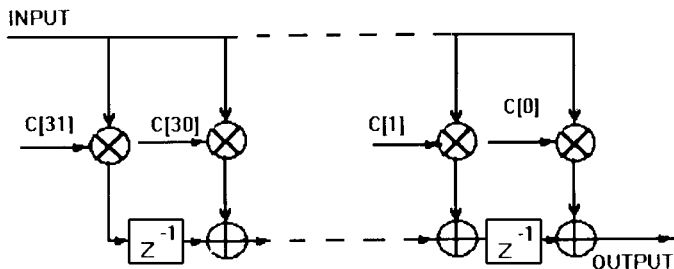


Fig. 1 Transversal filter structure

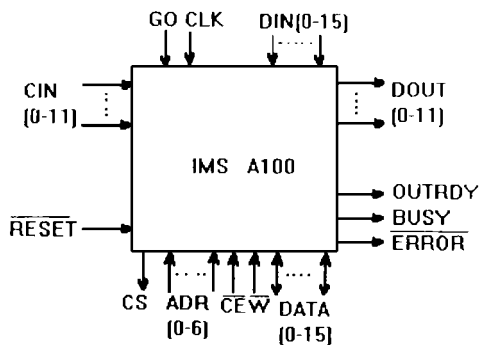


Fig. 2 IMS A100 device schematic

换控制位写“1”操作,控制在每个输入周期结束时,系数寄存器与修改系数寄存器自动置换的操作,这样就保证了那些需要连续周期不切断性及流水线式的工作方式系统。64、66、68 单元统称为控制寄存器。其中 SCR 为静态控制寄存器,ACR 为动态控制寄存器,TCR 为测试控制寄存器。它们共同确立了 IMS A100 的组合控制操作。主要通过编程设定系数的长度,输出字位数的截取,在每次数据输入时两组系数寄存器的切换及输入数据的来源认定等。

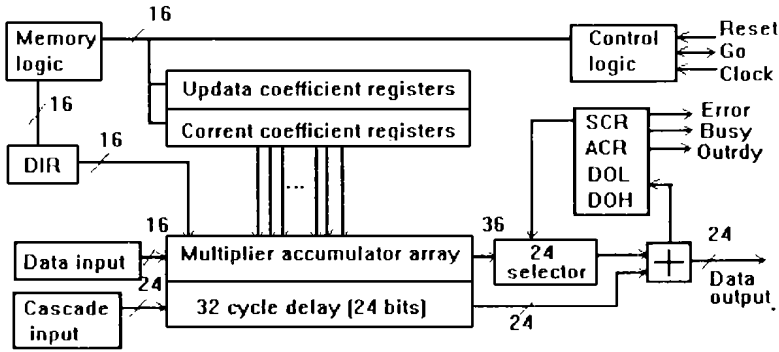


Fig. 3 IMS A100 structure

另一种 DSP 与 IMS A100 传输数据方式为输入输出同步方式。当 IMS A100 识别一个“GO”信号为高电平时,则在下一个控制时钟“CLK”的上升沿允许数据由 Data in 输入。而当“GO”信号变为低电平时,则不允许数据输入至 IMS A100。在 Dout 端有一个 24 位的结果经多路复用器将以高低二次 12 位输出。分别获得先低后高的结果,并一直保留到下一次数据的输出有效。为了得到此次计算结果,你可以通过芯片在数据输出同时产生的数据准备输出信号“OUTRDY”的“低”、“高”电平分别锁存输出数据。还可以通过判断“OUTRDY”的上升沿在 DOL, DOH 单元读取运算的有效数据。

Address 0	Update Coefficient Registers
32	Current Coefficient Registers
64	Static Control Register SCR
66	Active Control Register ACR
68	Test Control Register TCR
72	Data Input Register DIL
74	Data Output Register DOL
75	Data Output Register DOH
127	

Fig. 4 IMS A100 memory map

4 IMS A100 组成数字滤波器

数字滤波处理的是时间上离散、振幅离散的信号,它应具有模拟滤波器处理连续信号的相同作用,并具有特定的频率特征,允许某些“有用”的频率信号通过阻尼和抵消其它“无用”的频率信号,所谓噪声信号。最终满足对输入的信号滤除噪声获得有用信号之目的。

一般的数字滤波器可以由差分方程来表达,它的表达式为:

$$Y(n) = \sum_{k=0}^N b_k X(n-K) - \sum_{m=1}^M a_m Y(n-m) \quad (1)$$

其中 $X(n)$ 和 $Y(n)$ 是滤波器的输入输出序列; $a_m b_k$ 是滤波器的系数。

选取不同的系数可将滤波器分成非递归和递归的两大类。当 $b_k = 0, a_m = 0$ 时上式转化为

$$Y(n) = \sum_{k=0}^N b_k X(n-k) \quad (2)$$

Z 变换引入离散的情况中, (2) 式所对应的 Z 变换为:

$$Y(z) = \sum_{k=0}^N b_k X(z) Z^{-k} \quad (3)$$

$X(Z)$ 、 $Y(Z)$ 是 Z 变换的输入输出, 由此式就得到非递归滤波器的数字传递函数:

$$H(Z) = \frac{Y(Z)}{X(Z)} = \sum_{k=0}^N b_k Z^{-k} \quad (4)$$

(4) 式说明这种滤波器的当前输出与以往的输出无关, 它的输出是一系列当前和前几次采样值的加权和。因此我们把它叫作非递归数字滤波器(FIR)。这种滤波器无反馈支路, 保障了其稳定性再加上它的设计技术比递归的滤波器简单所以得到普遍应用。

在 DSP 的系统中, 由 IMS DSP 完成 FIR 的滤波工作, DSP 作为主机控制 IMS A 100, 作为从机的 IMS A 100 以 CLK 时钟的节拍将结果返送 DSP 同时送 D/A 输入, 经由 D/A 转换, 将结果输出。这样在这一主从系统中, 结果即可以参与系统运算又可直观输出观察。

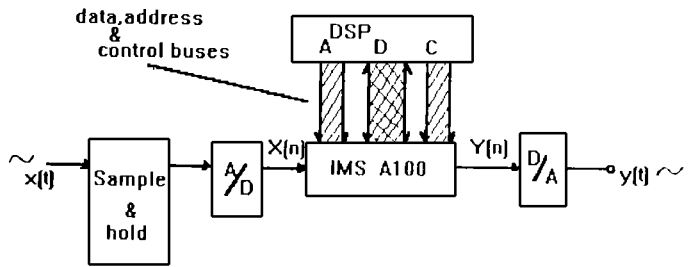


Fig. 5 Digital filter system block diagram

其组成框图如图 5 所示。

所处理的数据来自于 A/D 转换器的输出, 主机系统根据滤波的要求生成系数, 通过 DSP 与 IMS A 100 的存储器接口, 将所生成的系数送到数字滤波器的系数寄存器或更新系数寄存器。由主机 DSP 向 IMS A 100 发出“GO”信号, IMS A 100 检查到“GO”信号为高电平时在下一个“CLK”的上升沿进行数据的输入。

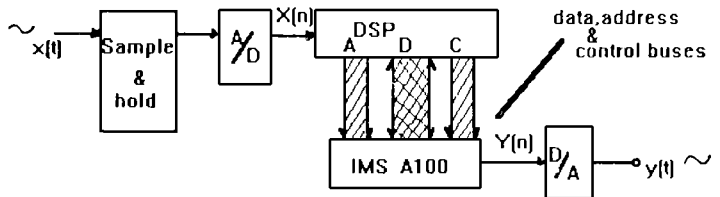


Fig. 6 Digital filter system block diagram in store input mode

在工作时钟信号的控制下, IMS A 100 将当前输入的样点数据与存储在系数寄存器中的系数相乘, 再与前一级中经一个时钟周期延时后的输出值相加后经输出端的多路复用器分低、高二次送往 Dout 端。OUTRDY 信号的电平变化, DOL DOH 有效信号分别锁存到外围逻辑中。值得注意的是 DOL(低有效数字)仅在输出端保留一个时钟周期, 所以在利用 OUTRDY 锁存低 12 位有效数字时应满足要接收值的保留时间。而 DOH 的接收则是受系统工作周期影响的, 但当系统设计成流水线方式时也要注意 DOL 的同样问题, 以保证接收正确的输出值。

输出的结果一方面自动被 IMS A 100 放入存储器中的 DOL, DOH 单元, 可读取保留或参

与其它运算,一方面利用 OUTRDY 启动 D/A 转换,送显示观察。

如前节 2. 中所述,一种存贮器的读写方式也可形成 IMS A 100 的运行传输方式。即 IMS A 100 可通过 DSP 对它编程为,输入数据从 DIR 输入引脚输入数据,还是从数据输入寄存器中输入数据,前者已被论述,如果输入数据是由 DSP 经存贮器接口写入 DIR 的话。这样的一次操作同样会引起 'GO' 信号的变化,继而产生上面的工作过程。当然这种方式的结构框图就应变成图 6 所示:

5 结 束 语

IMS A 100 信号处理器所提供的存贮器映射方式,不仅使二个系数寄存器组可以通过标准的 IMS A 100 存贮器接口进行数据传输,还可以使芯片的输入输出数据通过存贮器接口进行数据传输。此外其输入输出的专用接口还可经芯片的同步时钟方式进行数据的高速传输。在许多数字系统的应用中,大量的乘法和加法运算导致了系统的“瓶颈”,而 IMS A 100 的抽样率在 2.5MHz ~ 10 MHz 之间,具体指标仅取决所取的系数的字长。正确的联结 IMS A 100 在 DSP 系统中,可以得到一种高速高精度的效果,而 IMS A 100 的接口传输方式,为这种可能提供了保障。

参 考 文 献

- [1] 洪 刚,高 正,李昌立等.以 32010 为主体的——主从式 FFT 谱分析系统.南京:CCSP,1986
- [2] 级联型 A 100 信号处理器原理及应用.北京中软计算机研究所与香港兴华有限公司共同编译,1988
- [3] TMS 320 C25 User s Guide.TEXAS INSTRUMENTS,1986
- [4] 梁汉滨,钟彦儒编著.电力电子装置的微型计算机化设计.北京:机械工业出版社,1990

Method of Accomplishing Data Transmission with IMS A100

Qiao Yanyan

(Changchun Institute of Optics and Fine Mechanics,
Chinese Academy of Sciences, Changchun 130022)

Abstract

The method of data transmission between IMS A 100 and digital signal processor(DSP) is described in this paper. Its purpose is to use IMS A 100 high-precision and high-speed in DSP system to complete data processing as a independent function block.

Key words: Signal processing, Data transmission, Digital filter

乔燕燕 女,1954 年 10 月生。1978 年毕业于哈尔滨工业大学计算机科学系。毕业后一直从事计算机应用方面的研究工作。